公司代码：688008 公司简称：澜起科技

澜起科技股份有限公司

2023 年度报告摘要

第一节 重要提示

1本年度报告摘要来自年度报告全文，为全面了解本公司的经营成果、财务状况及未来发展规划，投资者应当到http://www.sse.com.cn网站仔细阅读年度报告全文。

2重大风险提示

公司已在本报告中描述可能存在的相关风险，敬请查阅本报告"第三节 管理层讨论与分析"之"四、风险因素"。

3本公司董事会、监事会及董事、监事、高级管理人员保证年度报告内容的真实性、准确性、完整性，不存在虚假记载、误导性陈述或重大遗漏，并承担个别和连带的法律责任。

4公司全体董事出席董事会会议。

5安永华明会计师事务所（特殊普通合伙）为本公司出具了标准无保留意见的审计报告。

6公司上市时未盈利且尚未实现盈利

□是 √否

7董事会决议通过的本报告期利润分配预案或公积金转增股本预案

公司2023年度利润分配方案为：以实施权益分派股权登记日登记的总股本扣除公司回购专用账户上已回购股份后的股份余额为基数，每10股派发现金红利3.00元（含税）。截至2024年3月31日，公司的总股本1,141,461,126股，其中回购专用账户的股数为11,760,000股，因此本次拟发放现金红利的股本基数为1,129,701,126股，合计拟派发现金红利338,910,337.80 元（含税），占合并报表中归属于上市公司股东净利润的比例为75.16%。本次利润分配不送红股，不进行公积金转增股本。如在实施权益分派的股权登记日前公司总股本发生变动的，公司拟维持每股分配比例不变，相应调整分配总额。

本预案尚需提交公司2023年度股东大会审议通过。

8是否存在公司治理特殊安排等重要事项

□适用 √不适用

第二节 公司基本情况

1公司简介

公司股票简况

√适用 □不适用

公司股票简况				
股票种类	股票上市交易所及板块	股票简称	股票代码	变更前股票简称
A股	上海证券交易所科创板	澜起科技	688008	/

公司存托凭证简况

□适用 √不适用

联系人和联系方式

联系人和联系方式	董事会秘书（信息披露境内代表）	证券事务代表
姓名	傅晓	孔旭
办公地址	上海市徐汇区漕宝路181号和光天地16层	上海市徐汇区漕宝路181号和光天地16层
电话	021-5467 9039	021-5467 9039
电子信箱	ir@montage-tech.com	ir@montage-tech.com

2报告期公司主要业务简介

(一)主要业务、主要产品或服务情况

公司是一家国际领先的数据处理及互连芯片设计公司，致力于为云计算和人工智能领域提供高性能、低功耗的芯片解决方案，目前公司拥有两大产品线，互连类芯片产品线和津逮?服务器平台产品线。在人工智能时代，计算机的"算力"和"存力"需求快速增长，系统对"运力"提出了更高的需求。澜起科技是一家为计算和智算提供高性能"运力"的企业，公司多款高速互连芯片产品可有效提升系统的"运力"，将在未来的人工智能时代发挥重要作用。

[illegible]

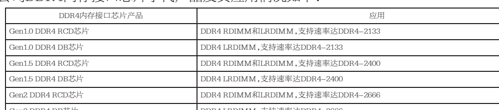
● 互连类芯片产品线

1、内存接口芯片

内存接口芯片是服务器内存模组（又称"内存条"）的核心逻辑器件，作为服务器CPU存取内存数据的必由通路，其主要作用是提升内存数据访问的速度及稳定性，满足服务器CPU对内存模组日益增长的高性能及大容量需求。内存接口芯片需与内存厂商生产的各种内存颗粒和内存模组进行配套，并通过服务器CPU、内存和OEM厂商针对其功能和性能（如稳定性、运行速度和功耗等）的全方位严格认证，才能进入大规模商用阶段。因此，研发此类产品不仅要攻克内存接口的核心技术难关，还要跨越服务器生态系统的高准入门槛。

现阶段，DDR4及DDR5内存接口芯片按功能可分为两类：一是寄存缓冲器（RCD），用来缓冲来自内存控制器的地址、命令、时钟、控制信号；二是数据缓冲器（DB），用来缓冲来自内存控制器或内存颗粒的数据信号。RCD与DB组成套片，可实现对地址、命令、时钟、控制信号和数据信号的全缓冲。仅采用了RCD芯片对地址、命令、时钟、控制信号进行缓冲的内存模组通常称为RDIMM（寄存双列直插内存模组），而采用了RCD和DB套片对地址、命令、时钟、控制信号及数据信号进行缓冲的内存模组称为LRDIMM（减载双列直插内存模组）。

澜起凭借具有自主知识产权的高速、低功耗技术，长期致力于为新一代服务器平台提供符合JEDEC标准的高性能内存接口解决方案。随着JEDEC标准和内存技术的发展演变，公司先后推出了DDR2-DDR5系列内存接口芯片，可应用于各种缓冲式内存模组，包括RDIMM及LRDIMM等，满足高性能服务器对高速、大容量的内存系统的需求。目前，公司的DDR4及DDR5内存接口芯片已成功进入国际主流内存、服务器和云计算领域，并占据全球市场的重要份额。



DDR4世代的内存接口芯片产品目前仍是市场的主流产品，报告期内以DDR4 Gen2 Plus子代为主。公司DDR4内存接口芯片子代产品及其应用情况如下：

DDR4内存接口芯片产品	应用
Gen1.0 DDR4 RCD芯片	DDR4 RDIMM和LRDIMM，支持速率达DDR4-2133
Gen1.0 DDR4 DB芯片	DDR4 LRDIMM，支持速率达DDR4-2133
Gen1.5 DDR4 RCD芯片	DDR4 RDIMM和LRDIMM，支持速率达DDR4-2400
Gen1.5 DDR4 DB芯片	DDR4 LRDIMM，支持速率达DDR4-2400
Gen2 DDR4 RCD芯片	DDR4 RDIMM和LRDIMM，支持速率达DDR4-2666
Gen2 DDR4 DB芯片	DDR4 LRDIMM，支持速率达DDR4-2666
Gen2 Plus DDR4 RCD芯片	DDR4 RDIMM、LRDIMM和NVDIMM，支持速率达DDR4-3200
Gen2 Plus DDR4 DB芯片	DDR4 LRDIMM，支持速率达DDR4-3200

DDR5是JEDEC标准定义的第5代双倍速率同步动态随机存取存储器标准。与DDR4相比，DDR5采用了更低的工作电压（1.1V），同时在传输有效性和可靠性上又迈进了一步，其支持的最高速率可超过6400MT/S，是DDR4最高速率的2倍以上。

公司DDR5内存接口芯片产品及其应用情况如下：

DDR5内存接口芯片产品	应用
Gen1.0 DDR5 RCD芯片	DDR5 RDIMM和LRDIMM，支持速率达DDR5-4800
Gen1.0 DDR5 DB芯片	DDR5 LRDIMM，支持速率达DDR5-4800
Gen2.0 DDR5 RCD芯片	DDR5 RDIMM，支持速率达DDR5-5600
Gen3.0 DDR5 RCD芯片	DDR5 RDIMM，支持速率达DDR5-6400

（1）DDR5第一子代RCD芯片支持双通道内存架构，命令、地址、时钟和控制信号1:2缓冲，并提供奇偶校验功能。该芯片符合JEDEC标准，支持DDR5-4800速率，采用1.1V工作电压，更为节能。该款芯片除了可作为中央缓冲器单独用于RDIMM之外，还可以与DDR5 DB芯片组成套片，用于LRDIMM，以提供更高容量、更低功耗的内存解决方案。

（2）DDR5第一子代DB芯片是一款8位双向数据缓冲芯片，该芯片与DDR5 RCD芯片一起组成套片，用于DDR5 LRDIMM。该芯片符合JEDEC标准，支持DDR5-4800速率，采用1.1V工作电压。在DDR5 LRDIMM应用中，一颗DDR5 RCD芯片需搭配十颗DDR5 DB芯片，即每个子通道配置五颗DB芯片，以支持片上数据校正，并可将数据预取提升至最高16位，从而为高端多核服务器提供更大容量、更高带宽和更强性能的内存解决方案。

（3）2022年5月，公司在业界率先试产DDR5第二子代RCD芯片。DDR5第二子代RCD芯片支持双通道内存架构，命令、地址、时钟和控制信号1:2缓冲，并提供奇偶校验功能。该芯片符合JEDEC标准，支持DDR5-5600速率，采用1.1V工作电压，更为节能。

（4）2023年10月，公司在业界率先试产DDR5第三子代RCD芯片。DDR5第三子代RCD芯片支持的数据速率高达6400MT/s，较第二子代RCD速率提升14.3%，较第一子代RCD速率提升33.3%。

2、DDR5内存模组配套芯片

根据JEDEC标准，DDR5内存模组上除了内存颗粒及内存接口芯片外，还需要三种配套芯片，分别是串行检测集线器（SPD）、温度传感器（TS）以及电源管理芯片（PMIC）。

公司DDR5内存模组配套芯片产品及其应用情况如下：

DDR5内存模组配套芯片产品	应用
DDR5 SPD	DDR5 RDIMM、LRDIMM、UDIMM和SODIMM
DDR5 TS	DDR5 RDIMM和LRDIMM
DDR5 PMIC（低/高电流）	DDR5 RDIMM和LRDIMM

（1）串行检测集线器（SPD）

公司与合作伙伴共同研发了DDR5串行检测集线器（SPD），芯片内部集成了8Kbit EEPROM、I2C/I3C总线集线器（Hub）和温度传感器（TS），适用于DDR5系列内存模组（如LRDIMM、RDIMM、UDIMM、SODIMM等），应用范围包括服务器、台式机及笔记本内存模组。SPD是DDR5内存模组不可或缺的组件，也是内存管理系统的关键组成部分，其包含如下几项功能：

第一，其内置的SPD EEPROM是一个非易失性存储器，用于存储内存模组的相关信息以及模组上内存颗粒和相关器件的所有配置参数。根据JEDEC的内存规范，每个内存模组都需配置一个SPD器件，并按照JEDEC规范的数据结构编写SPD EEPROM的内容。主板BIOS在开机后会读取SPD内存储的信息，并根据读取到的信息来配置内存控制器和内存模组。DDR5 SPD数据可通过I2C/I3C总线访问，并可按存储区块（block）进行写保护，以满足DDR5内存模组的高速率和安全要求。

第二，该芯片还可以作为I2C/I3C总线集线器，一端连接系统主控设备（如CPU或基板管理控制器（BMC）），另一端连接内存模组上的本地组件，包括RCD、PMIC和TS，是系统主控设备与内存模组上组件之间的通信中心。在DDR5规范中，一个I2C/I3C总线上最多可连接8个集线器（8个内存模组），每个集线器和该集线器管理下的每个内存模组上的本地组件都被指定了一个特定的地址代码，支持唯一地址固定寻址。

第三，该芯片还内置了温度传感器（TS），可连续监测SPD所在位置的温度。主控设备可通过I2C/I3C总线从SPD中的相关寄存器读取传感器检测到的温度，以便于进行内存模组的温度管理，提高系统工作的稳定性。

（2）温度传感器（TS）

公司与合作伙伴共同研发了DDR5高精度温度传感器（TS）芯片，该芯片符合JEDEC规范，支持I2C和I3C串行总线，适用于DDR5服务器RDIMM和LRDIMM内存模组。TS作为SPD芯片的从设备，可以工作在时钟频率分别高达1MHz I2C和12.5MHz I3C总线上；CPU可经由SPD芯片与之进行通讯，从而实现对内存模组的温度管理。TS是DDR5服务器内存模组上重要组件，目前主流的DDR5服务器内存模组配置2颗TS。

（3）电源管理芯片（PMIC）

公司与合作伙伴共同研发了符合JEDEC规范的DDR5低/高电流电源管理芯片（PMIC）。该芯片包含4个直流-直流降压转换器，两个线性稳压器（LDO，分别为1.8V和1.0V），并能支持I2C和I3C串行总线，适用于DDR5服务器RDIMM和LRDIMM内存模组。PMIC的作用主要是为内存模组上的其他芯片（如DRAM、RCD、DB、SPD和TS等）提供电源支持。CPU可经由SPD芯片与之进行通讯，从而实现电源管理。低电流电源管理芯片应用于DDR5服务器较小电流的RDIMM内存模组，高电流电源管理芯片则应用于DDR5服务器较大电流的RDIMM和LRDIMM内存模组。

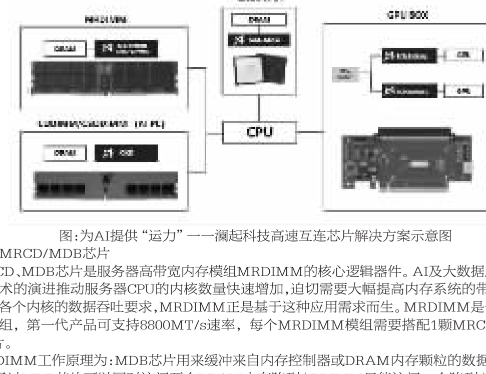
公司DDR5内存接口芯片及内存模组配套芯片示意图如下：

澜起可为DDR5系列内存模组提供完整的内存接口及模组配套芯片解决方案，是目前全球可提供全套解决方案的两家公司之一。

3、为智算提供高性能"运力"芯片解决方案（互连类芯片新产品）

AI相关应用的快速发展将推动"算力"和"存力"需求快速增长，系统需要更高、更强的算力，需要带宽更高、容量更大的内存。在"算力"和"存力"增长的同时，对"运力"也提出了更高的需求。"运力"是指在计算和存储之间搬运数据的能力，人工智能时代，系统需要更大的运力，需要更高的带宽、更快的传输。

公司近年来深耕相关互连技术，包括高带宽内存互连、PCIe互连以及CXL互连技术等，这些高速互连技术可以有效提升系统的"运力"，公司基于上述技术研发的几款芯片，包括MRCD/MDB、CKD、PCIe Retimer、MXC芯片等，将在未来的人工智能时代发挥重要作用。



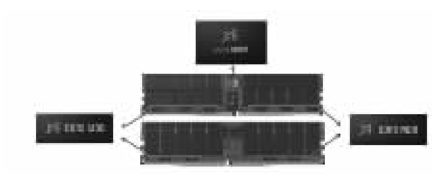
图：为AI提供"运力"——澜起科技高速互连芯片解决方案示意图

（1）MRCD/MDB芯片

MRCD、MDB芯片是服务器高带宽内存模组MRDIMM的核心逻辑器件。AI及大数据应用的发展以及相关技术的演进推动服务器CPU的内核数量快速增加，迫切需要大幅提高内存系统的带宽，以满足多核CPU中各个内核的数据吞吐要求，MRDIMM正是基于这种应用需求而生。MRDIMM是一种更高带宽的内存模组，第一代产品可支持8800MT/s速率，每个MRDIMM模组需要搭配1颗MRCD芯片及10颗MDB芯片。

MRDIMM工作原理为：MDB芯片用来缓冲来自内存控制器或DRAM内存颗粒的数据信号，在标准速率下，通过MDB芯片可以同时访问两个DRAM内存阵列（RDIMM只能访问一个阵列），从而实现双倍的带宽。MRCD用来缓冲来自内存控制器的地址、命令、时钟、控制信号。MRDIMM的特点和优势在于：1、使用的是常规的DRAM颗粒；2、与现有DDR5生态系统有良好的适配性；3、可以大幅提升内存模组的带宽。

从下游应用来看，预计MRDIMM在高性能计算、AI等对内存带宽敏感的应用领域，将有较大的需求。随着MRDIMM未来渗透率的提升，将带动MRCD/MDB（特别是MDB）芯片需求大幅增长。

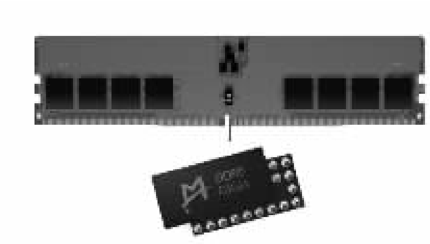


图：MRCD/MDB芯片及含MRCD/MDB芯片的MRDIMM内存模组示意图

（2）CKD芯片

长久以来，时钟驱动功能一直集成在寄存时钟驱动器（Register Clock Driver）芯片中，应用于服务器RDIMM或LRDIMM内存模组，但尚未在PC端部署。随着DDR5传输速率持续提升，时钟信号频率越来越高，时钟信号完整性问题日益凸显。当DDR5数据速率达到6400MT/s及以上时，PC端的内存模组（如台式机的UDIMM和笔记本电脑的SODIMM）需采用专用时钟驱动器（CKD）芯片，对内存模组上的时钟信号进行缓冲和重新驱动，才能满足高速时钟信号的完整性和可靠性要求。

澜起于2022年9月发布业界首款DDR5第一子代CKD工程样片，并已送样给业界主流内存厂商，用于新一代台式机和笔记本电脑内存。该芯片的主要功能是缓冲来自台式机和笔记本电脑中央处理器的高速内存时钟信号，并将其重新驱动输出到UDIMM、SODIMM模组上的多个DRAM内存颗粒。这款时钟驱动芯片符合JEDEC标准，支持高达6400MT/s的数据传输速率，并具备低功耗管理模式，助力内存解决方案实现高速、高效、节能的运行。



图：CKD芯片及含CKD芯片的CUDIMM内存模组示意图

由于AI PC需要更高内存带宽来提升整体运算性能，AI PC渗透率的提升或将加速DDR5子代迭代，并增加对更高速率DDR5内存的需求。未来，CKD芯片将应用于台式机UDIMM和笔记本电脑SODIMM内存模组（数据速率为6400MT/S及以上），其需求量将随着AI PC应用的普及而提升。

（3）PCIe Retimer芯片

PCIe Retimer芯片是适用于PCIe高速数据传输协议的超高速时序整合芯片，这是公司在全互连芯片领域布局的一款重要产品。

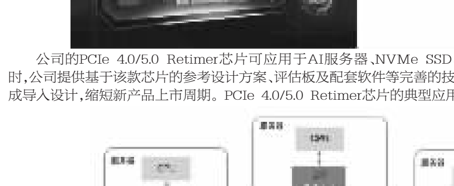
近年来，高速数据传输协议从PCIe 3.0（8GT/S）发展至PCIe 4.0（16GT/S），再升级至PCIe 5.0（32GT/S），数据传输速率不断翻倍，同时也带来了显著的信号衰减和参考时钟时序重整问题，这些问题较大限制了超高速数据传输协议在下一代计算平台的应用范围。PCIe 4.0/5.0的高速传输挑战促进了优化高速电路与系统互连设计的需求，加大了在超高速传输环境下保持信号完整性的研发热度。为了补偿高速信号的损耗，提升信号质量，通常需在链路中引入超高速时序整合芯片（Retimer）。PCIe Retimer芯片已成为高速电路中不可或缺的重要器件，主要解决数据中心数据高速、远距离传输时，信号时序不齐、损耗严重、完整性差等问题。

公司的PCIe Retimer芯片采用先进的信号调理技术，能够补偿信道损耗并消除各种抖动源的影响，从而提升信号完整性，增加高速信号的有效传输距离，为服务器、存储设备及硬件加速器等应用场景提供可扩展的高性能PCIe互连解决方案。其中，PCIe 4.0 Retimer芯片符合PCIe 4.0基本规范，PCIe 5.0/CXL 2.0 Retimer符合PCIe 5.0和CXL 2.0基本规范，支持业界主流封装，其功耗、传输延时等关键性能指标达到国际先进水平，并已与CPU、PCIe交换芯片、固态硬盘、GPU及网卡等进行了广泛的互操作测试。

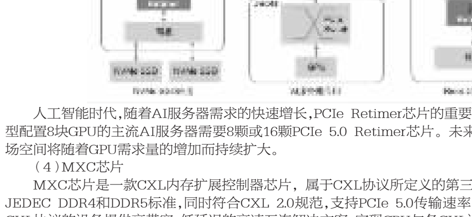
2023年1月，公司PCIe 5.0/CXL 2.0 Retimer芯片实现量产。公司PCIe 4.0/5.0 Retimer芯片产品及其应用情况如下：

PCIe 4.0/5.0 Retimer芯片产品	应用
8通道PCIe 4.0 Retimer	服务器、存储设备和硬件加速器
16通道PCIe 4.0 Retimer	服务器、存储设备和硬件加速器
16通道PCIe 5.0/CXL 2.0 Retimer	服务器、存储设备和硬件加速器

公司PCIe 5.0/CXL 2.0 Retimer芯片示意图如下：



公司的PCIe 4.0/5.0 Retimer芯片可应用于AI服务器、NVMe SSD、Riser卡等典型应用场景，同时，公司提供基于该款芯片的参考设计方案、评估板及配套软件等完善的技术支持服务，帮助客户快速完成导入设计，缩短新产品上市周期。PCIe 4.0/5.0 Retimer芯片的典型应用场景图示如下：

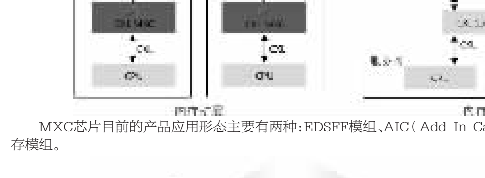


人工智能时代，随着AI服务器需求的快速增长，PCIe Retimer芯片的重要性愈加凸显。目前，一台典型配置8块GPU的主流AI服务器需要8颗或16颗PCIe 5.0 Retimer芯片。未来，PCIe Retimer芯片的市场空间将随着GPU需求量的增加而持续扩大。

（4）MXC芯片

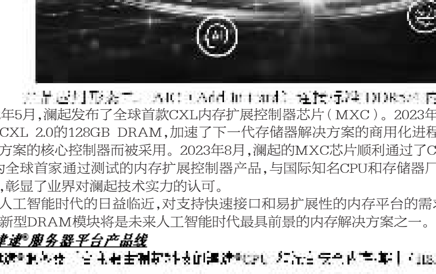
MXC芯片是一款CXL内存扩展控制器芯片，属于CXL协议所定义的第三种设备类型。该芯片支持JEDEC DDR4和DDR5标准，同时符合CXL 2.0规范，支持PCIe 5.0传输速率。该芯片可为CPU及基于CXL协议的设备提供高带宽、低延迟的高速互连解决方案，实现CPU与各CXL设备间的内存共享，在大幅提升系统性能的同时，显著降低软件堆栈复杂性和数据中心总体拥有成本（TCO）。

MXC芯片主要应用于内存扩展及内存池化领域，为内存AIC扩展卡、背板及EDSFF内存模组而设计，可大幅扩展内存容量和带宽，满足高性能计算、人工智能等数据密集型应用日益增长的需求，典型应用场景如下：



MXC芯片目前的产品应用形态主要有两种：EDSFF模组、AIC（Add In Card）连接标准DDR5/4内存模组。

产品应用形态一：EDSFF 模组



产品应用形态二：AIC（Add In Card）连接标准DDR5/4 内存模组

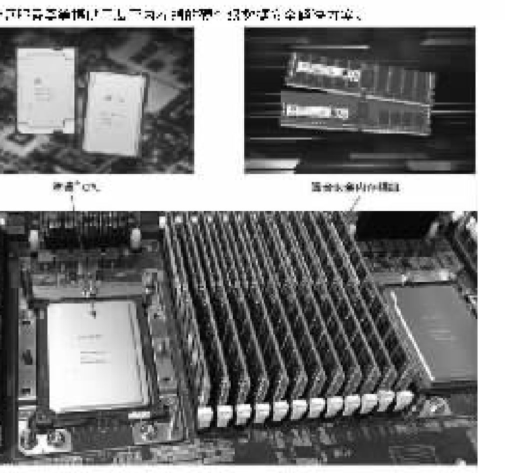
2022年5月，澜起发布了全球首款CXL内存扩展控制器芯片（MXC）。2023年5月，三星电子推出其首款支持CXL 2.0的128GB DRAM，加速了下一代存储器解决方案的商用化进程，澜起的MXC芯片作为该解决方案的核心控制器而被采用。2023年8月，澜起的MXC芯片顺利通过了CXL联盟的数十项严苛测试，成为全球首家通过测试的内存扩展控制器产品，与国际知名CPU和存储器厂商的产品在CXL官网并列展示，彰显了业界对澜起技术实力的认可。

随着人工智能时代的日益临近，对支持快速接口和易扩展性的内存平台的需求变得愈加迫切，而基于CXL的新型DRAM模块将是未来人工智能时代最具前景的内存解决方案之一。

● ***津逮®服务器平台产品线***

[illegible]

[illegible]



[illegible]

● AI芯片

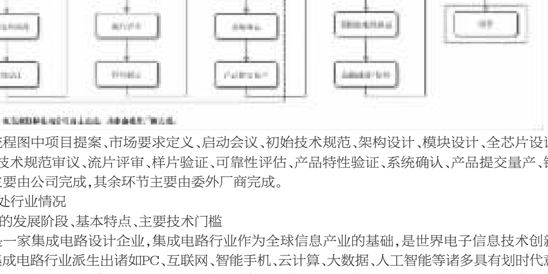
报告期内，AI大模型飞速发展，AI芯片的需求发生了巨大变化。公司密切关注行业发展趋势、下一代大模型特征以及用户需求，正在研发新一代AI芯片，旨在为训练、推理应用场景提供稳定、易用的高性能AI算力解决方案。

在研发第一代AI芯片工程样片的过程中，澜起积累了一定的技术基础和工程经验。澜起在研的下一代芯片将充分利用公司在互连领域的技术优势，进一步满足客户需求，提供更加优化、更具性价比的解决方案。

(二)主要经营模式

公司是一家集成电路设计企业，自成立以来公司经营模式均为行业里的 Fabless 模式，该模式下，公司专注于从事产业链中的集成电路设计和营销环节，其余环节委托给晶圆制造企业、封装和测试企业代工完成，由公司取得测试后芯片成品销售给客户。

在 Fabless 模式下，产品设计与研发环节属于公司经营的核心，由多个部门参与执行。芯片的生产制造、封装测试则通过委外方式完成，因此公司需要向晶圆制造厂采购晶圆，向封装测试厂采购封装、测试服务。具体地，公司产品的业务流程示意图如下：



上述流程图中项目提案、市场要求定义、启动会议、初始技术规范、架构设计、模块设计、全芯片设计评审、终版技术规范审议、流片评审、样片验证、可靠性评估、产品特性验证、系统确认、产品提交量产、销售等环节主要由公司完成，其余环节主要由委外厂商完成。

(三)所处行业情况

1.行业的发展阶段、基本特点、主要技术门槛

公司是一家集成电路设计企业，集成电路行业作为全球信息产业的基础，是世界电子信息技术创新的基石。集成电路行业派生出诸如PC、互联网、智能手机、云计算、大数据、人工智能等诸多具有划时代意义的创新应用，成为现代日常生活中必不可少的组成部分。移动互联时代后，5G、云计算、AI计算、高性能计算、智能汽车等应用领域的快速发展和技术迭代，正推动集成电路产业进入新的成长周期。

集成电路行业主要包括集成电路设计业、制造业和封装测试业，属于资本与技术密集型行业。

2024年2月，半导体产业协会（Semiconductor Industry Association，简称SIA）宣布，2023年全球半导体产业销售总额为5268亿美元，比2022年的5741亿美元下降了8.2%。根据SIA的预测，由于产业各领域对芯片的需求增加，2024年全球半导体销售额将大幅反弹13.1%，达到近6,000亿美元，创历史新高。

（1）服务器市场行业情况

公司的产品内存接口及模组配套芯片、PCIe Retimer芯片、MXC芯片、津逮?CPU以及混合安全内存模组等主要应用于服务器，因此，服务器行业的发展情况与公司业务紧密相关。相较于普通计算机，服务器具有更高速的CPU计算能力、更强大的外部数据吞吐能力和更好的扩展性，运行更快，负载更高。

基于全球数据总量的爆发式增长以及数据向云端迁移的趋势，新的数据中心建设热度不减，同时围绕新增数据的处理和应用，云计算、人工智能、虚拟现实和增强现实等数字经济方兴未艾，服务器作为基础的算力支撑，从中长期来看，全球服务器市场将保持高景气度。

2023年，受宏观环境影响，服务器及计算机行业需求下滑，行业整体面临去库存的压力，根据研究机构DIGITIMES的数据，2023年全球服务器出货量同比下降18.3%。随着需求的逐步改善，服务器行业正重新回到增长轨道。美系大型云服务商2023年因竞相购买高价AI服务器，导致传统通用型服务器采购减少，2024年一季度将重新启动新一轮通用服务器采购。

根据IDC的预测，2023年全球服务器市场规模将微幅增长至1284.71亿美元，之后四年的年度增长率将分别为11.8%、10.2%、9.7%、8.9%，到2027年市场规模将达1891.39亿美元。Canalys报告显示，2023年第四季度，全球云基础设施服务支出同比增长19%，达到781亿美元，增加123亿美元。2023年全年，云基础设施服务总支出从2022年的2471亿美元增至2904亿美元，增长18%。云迁移工作正重新加快，同时新需求激增，特别是在AI应用的广泛采用。头部云厂商稳步增加对生成式AI的投资，期望利用生成式AI的能力催生云消费领域的新机遇。Canalys预计，2024年全球云基础设施服务支出将增长20%。

（2）AI服务器及AI PC行业情况

2023年，AI多模态大模型继续保持快速演进态势，AI技术的持续迭代加速AI的应用的落地。AIGC的快速发展将带动AI服务器及AI PC需求的增加。

AI的快速发展已深刻影响着IT基础设施的资源配置，根据IDC的数据，到2025年，全球2000强企业将把超过40%的核心IT支出分配给与人工智能相关的计划，从而使产品和流程创新的速度达到两位数的增长。TrendForce预计，2024年全球AI服务器数量将超过160万台，年增长率达到40%，2022-2026年复合增长率将达29%。根据OMDIA的相关研究，目前，各大厂商主要采购的AI服务器主要以AI训练服务器为主，其特点是强大的计算能力和片上内存，未来人工智能推理服务将变得越来越重要，AI推理服务器更关注内存带宽、高密度封装和南北向接口。

同时，AI PC有望为PC行业带来新的增长。AI PC是一种集成了人工智能技术的个人电脑，它通过集成NPU、CPU、GPU等硬件，在实现高能低耗的同时从根本上改变、重塑和重构PC体验，释放人们的生产力和创造力。AI PC可以应用于各种场景，包括图形视觉、语义理解、智能交互等。

（3）内存模组行业情况

内存模组是当前计算机架构的重要组成部分，作为CPU与硬盘的数据中转站，起到临时存储数据的作用，其存储和读取数据的速度相较硬盘更快。按应用领域不同，内存模组可分为：1、服务器内存模组，其目前主要类型为RDIMM、LRDIMM等，相较于其他类型内存模组，服务器内存模组由于服务器数据存储和处理的负载能力不断提升，对内存模组的稳定性、纠错能力以及低功耗均提出了较高要求；2、普通台式机、笔记本内存模组，其目前主要类型为UDIMM、SODIMM等。而平板、手机内存主要使用的LPDDR通过焊接至主板或封装在片上系统上发挥功能。全球DRAM行业市场90%以上的市场份额由三星电子、海力士及美光科技占据，他们也是公司内存接口芯片及内存模组配套芯片主要的下游客户。

内存模组的发展有着清晰的技术升级路径，JEDEC组织定义内存模组的组成构件、性能指标、具体参数等，2021年DDR5第一子代相关产品已开始量产，近两年内存模组正持续从DDR4世代向DDR5世代切换，目前JEDEC已完成DDR5第二子代、第三子代产品标准制定，DDR5第四子代产品标准制定也初步完成。同时，基于传输速率的提升或新的产业需求，新的内存模组架构也陆续被JEDEC定义并成为国际标准，比如MRDIMM、CUDIMM、CSODIMM、CAMM等内存模组。

内存模组与CPU是计算机的两个核心部件，是计算机生态系统的重要组成部分，支持更高速率DDR5的CPU的持续迭代将推动DDR5内存模组的规模使用及更新换代。支持DDR5的主流桌面级CPU已于2021年正式发布，并正在持续更新迭代，普通台式机/笔记本电脑DDR5内存模组下游需求逐步提升；支持DDR5的主流服务器CPU于2022年底至2023年初正式上市，并将持续更新迭代，用于服务器的DDR5内存模组渗透率将持续提升。

（4）内存接口芯片及内存模组配套芯片行业情况

内存接口芯片是服务器内存模组的核心逻辑器件，其主要作用是提升内存数据访问的速度及稳定性，满足服务器CPU对内存模组日益增长的高性能及大容量需求。

内存接口芯片的发展演变情况如下：

内存接口芯片世代	技术特点	主要厂商	研发时间跨度
DDR2	最低可支持1.5V工作电压	TI（德州仪器）、英特尔、西门子、Inphi、澜起科技、IDT等	2004年-2008年
DDR3	最低可支持1.25V工作电压，最高可支持1866MT/s的运行速率	Inphi、IDT、澜起科技、Rambus、TI（德州仪器）等	2008年-2014年
DDR4	最低可支持1.2V工作电压，最高可支持3200MT/s的运行速率	澜起科技、IDT、Rambus	2013年-2017年
DDR5	最低可支持1.1V工作电压，可实现4800MT/s的运行速率，并在此产品基础上，继续研发5600MT/s、6400MT/s、7200MT/s、8000MT/s等产品	澜起科技、瑞萨电子（原IDT）、Rambus	2017年至今

从2016年开始，DDR4技术的发展进入了成熟期，成为内存市场的主流技术。为了实现更高的传输速率和支持更大的内存容量，JEDEC组织进一步更新和完善了DDR4内存接口芯片的技术规格，增加了多种功能，用以支持更高速率和更大容量的内存。在DDR4世代，从Gen1.0、Gen1.5、Gen2.0到Gen2plus，每一子代内存接口芯片所支持的最高传输速率在持续上升，DDR4最后一个子代产品Gen2plus支持的最高传输已达3200MT/s。随着DDR5内存技术规格和产品的成熟商用，DDR5内存技术正在实现对DDR4内存技术的更新和替代。DDR5内存接口芯片相比于DDR4最后一个子代的内存接口芯片，采用了更低的工作电压（1.1V），同时在传输有效性和可靠性上又迈进了一步。从JEDEC已经公布的相关信息来看，DDR5 内存接口芯片已经规划了五个子代，支持速率分别是4800MT/s、5600MT/s、6400MT/s、7200MT/s、8000MT/s，预计后续可能还会有1~2个子代，可见通过不断的技术创新，实现更高的传输速率和支持更大的内存容量将是内存接口芯片行业未来发展的趋势和动力。

根据JEDEC组织的定义，在DDR5世代，服务器内存模组上除了需要内存接口芯片之外，同时还需要配置三种配套芯片，包括一颗SPD芯片、一颗PMIC芯片和两颗TS芯片；普通台式机、笔记本电脑的内存模组UDIMM、SODIMM上，需要配置两种配套芯片，包括一颗SPD芯片和一颗PMIC芯片。

目前DDR5内存接口芯片的竞争格局与DDR4世代类似，全球有三家主流供应商可提供相关产品，分别是澜起科技、瑞萨电子和Rambus。关于DDR5内存模组配套芯片，报告期内，SPD和TS主要的两家供应商是澜起科技和瑞萨电子；PMIC的竞争对手更多，竞争态势更复杂。

为了满足不断增长的AI处理对更高带宽、更高容量内存模组需求，JEDEC组织制定了服务器MRDIMM（Multiplexed Rank DIMM）内存模组相关技术标准。MRDIMM内存模组采用了LRDIMM"1+10"的基础架构，与LRDIMM相比，MRDIMM内存模组可以同时访问内存模组上的两个阵列，提供双倍带宽，第一代产品最高支持8800MT/s速率，预计在DDR5世代还会有两至三代更高速率的产品。服务器高带宽内存模组需要搭配的内存接口芯片为MRCD芯片和MDB芯片，与普通的RCD芯片、DB芯片相比，设计更为复杂、速率更高。

在桌面端，随着DDR5传输速率持续提升，到DDR5中期，原本不需要信号缓冲的UDIMM、SODIMM（主要用于台式机和笔记本电脑），将需要一颗时钟驱动器（Clock Driver）对内存模组的时钟信号进行缓冲再驱动，从而提高时钟信号的信号完整性和可靠性。JEDEC组织制定了CUDIMM和CSODIMM内存模组相关标准，包括其中的CKD芯片相关标准，将应用于支持6400MT/S及以上速率的台式机和笔记本电脑。

（5）PCIe及PCIe Retimer芯片行业情况

PCIe协议是一种高速串行计算机扩展总线标准，自2003年诞生以来，近几年PCIe互连技术发展迅速，传输速率基本上实现了每3-4年翻倍增长，并保持良好的向后兼容特性。PCIe协议已由PCIe 4.0发展为PCIe 5.0，传输速率已从16GT/s提升到32GT/s，到PCIe 6.0，传输速率将进一步提升到64GT/s。随着PCIe协议传输速率的快速提升，并依托于强大的生态系统，平台厂商、芯片厂商、终端设备厂商和测试设备厂商的深入合作，PCIe已成为主流互连接口，全面覆盖了包括PC机、服务器、存储系统、手持计算等各种计算平台，有效服务云计算、企业级计算、高性能计算、人工智能和物联网等应用场景。

然而，一方面随着应用不断发展推动着PCIe标准迭代更新，速度不断翻倍，另一方面由于服务器的物理尺寸受限于工业标准并没有很大的变化，导致整个链路的插损预算从PCIe3.0时代的22dB增加到了PCIe 4.0时代的28dB，并进一步增长到了PCIe 5.0时代的36dB。

如何解决PCIe信号链路的插损问题，提高PCIe信号传输距离是业界面临的重要问题。一种思路是选用低损PCB，但价格高昂，仅仅是主板就可能会带来较大的成本增加，而且并不能有效覆盖多连接器应用场景；另一种思路是引入适当的链路扩展器件如Retimer，使用PCIe Retimer芯片，采用模拟信号和数字信号调理技术、重定时技术，来补偿信道损耗并消除各种抖动的影响，从而提升PCIe信号的完整性，增加高速信号的有效传输距离。

因此，PCIe Retimer芯片作为PCIe协议升级迭代背景下新的芯片需求，其主要解决数据中心、服务器通过PCIe协议在数据高速、远距离传输时，信号时序不齐、损耗大、完整性差等问题。相比于市场其他技术解决方案，现阶段Retimer芯片的解决方案在性能、标准化和生态系统支持等方面具有一定的比较优势，未来根据系统配置，Retimer芯片可以灵活地切换PCIe或CXL模式，更受用户青睐。

而随着传输速率从PCIe 4.0的16GT/s到PCIe 5.0的32GT/S，再次实现翻倍，Retimer芯片技术路径的优势更加明显，Retimer芯片的需求呈"刚性化"趋势。根据目前行业发展趋势，到PCIe 5.0时代，PCIe Retimer芯片已成为行业主流解决方案。

根据TrendForce的预测，AI服务器2022-2026年复合增长率将达29%，随着AI服务器需求快速增长，将显著提升PCIe Retimer芯片的需求。以一台典型的配8块GPU的主流AI服务器为例，考虑对信号完整性和传输速率的要求，系统需要配置8颗或16颗PCIe Retimer芯片。

（6）CXL行业情况

随着人工智能时代的日益临近，对支持快速接口和易扩展性的内存平台的需求变得越来越明显，而基于CXL的新型DRAM模块可能是未来人工智能时代中最具前景的内存解决方案之一。

从2019年到2023年，CXL经历了高速的发展，其应用涉及服务器端，以及存储产品与解决方案端这两大层面。在过去2年时间里，已经有多家厂商发布CXL相关元件、产品，以及成套解决方案。2022年底到2023年初，随着AMD发布第四代EPYC（代号Genoa），以及英特尔发布第四代Xeon Scalable（代号Sapphire Rapids），新款处理器平台上市将CXL技术应用到服务器端，完善CXL的应用环境。

经过数年的发展，目前CXL的生态已经初步形成。在元件层级的芯片供应商与设计商，对应产品包括：CXL控制器（Controller）、定时器（Retimers）、交换器（Switch）产品。系统层级，目前有三星、SK Hynix、美光等厂商推出扩展存储类型的CXL产品。

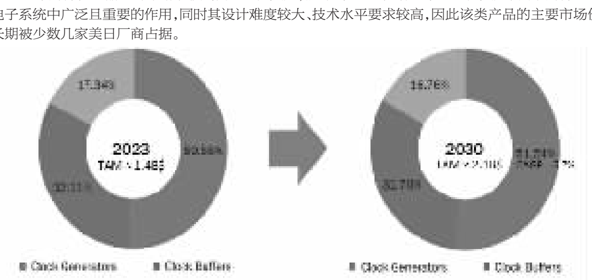
根据Yolo的预测，全球CXL市场规模预计在2028年将达到150亿美元。尽管目前只有不到10%的CPU与CXL标准兼容，但预计到2027年，所有CPU都将被设计为支持CXL接口，这将进一步推动CXL市场的发展。

（7）时钟芯片行业情况

时钟芯片是为电子系统提供其必要的时钟脉冲的芯片。在数字系统中，时钟脉冲是集成电路运转的节拍器，在电子系统中扮演着"心脏"的重要角色。高频/高性能数字模块的正确运行需要时钟芯片提供精准的时钟脉冲（节拍）来同步运算操作和数据传输交互。时钟脉冲的性能决定了系统是否能运行到目标速度，时钟芯片不达标有可能导致模块或设备无法运作。因此，时钟芯片提供的输出时钟需要具备极高的可靠性、宽广的输出频率范围、优良的抖动特性以及扩频功能。

目前，时钟芯片种类主要包括时钟发生器、去抖时钟芯片和时钟缓冲芯片等细分产品。时钟发生器是根据参考时钟来合成多个不同频率时钟的芯片，它是时钟芯片的一个重要类别，是数据中心、工业控制、新能源汽车等领域的基础芯片；去抖时钟芯片是为其他芯片提供低抖动低噪声的参考时钟的芯片；时钟缓冲芯片是用于时钟脉冲复制、格式转换、电平转化等功能的芯片。

根据DBMR的数据，2023年时钟芯片的市场规模合计为14亿美元，预计到2030年可达到21亿美元，其中2023年时钟发生器芯片市场规模约为7.08亿美元，预计到2030年可达到10.82亿美元。由于时钟芯片在电子系统中广泛且重要的作用，同时其设计难度较大、技术水平要求较高，因此该类产品的主要市场份额长期被少数几家美日厂商占据。



（8）AI芯片行业情况

现阶段，按基本功能划分，AI芯片可分为训练芯片和推理芯片；按技术路径划分，AI芯片可分为GPU、FPGA、ASIC芯片。

近年来人工智能的发展呈现出数据体量爆发式增长态势，算法模型的参数量指数级增加，以加速计算为核心的算力中心对AI芯片的需求不断扩大。以ChatGPT为代表的基于海量多源数据的大模型，对算力的需求非常高，随着AI模型和应用的进一步发展和规模化，算力需求将持续释放，大算力芯片的市场规模持续增长，将快速推动AI芯片的性能升级。

根据Gartner于2023年8月发布的研究报告，用于执行人工智能工作负载的芯片市场正以每年20%以上的速度增长，2023年AI芯片市场规模将达到534亿美元，比2022年增长20.9%，2024年将增长25.6%，达到671亿美元，到2027年AI芯片营收预计将是2023年市场规模的两倍以上，达到1194亿美元。

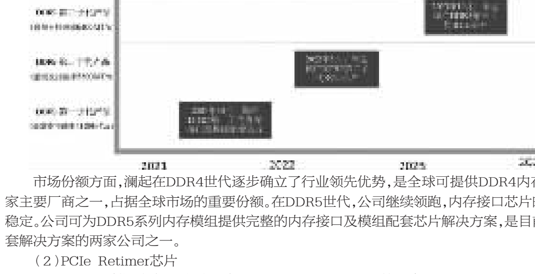
2.公司所处的行业地位分析及其变化情况

（1）内存接口芯片、内存模组配套芯片及时钟驱动器（CKD）

澜起的内存接口芯片受到了市场及行业的广泛认可，公司凭借具有自主知识产权的高速、低功耗技术，为新一代服务器平台提供完全符合JEDEC标准的高性能内存接口解决方案，是全球可提供从DDR2到DDR5内存全缓冲/半缓冲完整解决方案的主要供应商之一，在该领域拥有重要话语权。

产品标准制定方面，澜起是全球微电子行业标准制定机构JEDEC固态技术协会的董事会成员之一，在JEDEC下属的四个委员会及分会中安排员工担任主席或副主席职位，深度参与JEDEC相关产品的标准制定。其中，公司牵头制定多款DDR5内存接口芯片标准，包括DDR5 RCD芯片及MDB芯片，并积极参与DDR5 CKD芯片和DDR5内存模组配套芯片标准制定。

技术实力方面，澜起处于国际领先水平。公司发明的DDR4全缓冲"1+9"架构被JEDEC国际标准采纳。该架构在DDR5世代演化为"1+10"框架，继续作为LRDIMM的国际标准，并进一步作为基础架构衍生出MRDIMM国际标准。在DDR5世代，公司在内存接口芯片领域继续全球领跑，进一步巩固了在该领域的优势。2022年5月，公司在业界率先试产DDR5第二子代RCD芯片；2022年9月，公司发布业界首款DDR5第一子代CKD芯片工程样片；2022年12月，公司发布业界首款DDR5第三子代RCD芯片工程样片；2023年10月，公司DDR5第三子代RCD芯片在业界率先试产。



市场份额方面，澜起在DDR4世代逐步确立了行业领先优势，是全球可提供DDR4内存接口芯片的三家主要厂商之一，占据全球市场的重要份额。在DDR5世代，公司继续领跑，内存接口芯片的市场份额保持稳定。公司可为DDR5系列内存模组提供完整的内存接口及模组配套芯片解决方案，是目前全球可提供全套解决方案的两家公司之一。

（2）PCIe Retimer芯片

在PCIe 4.0时代，澜起是全球量产PCIe 4.0 Retimer芯片的三家企业之一；在PCIe5.0时代，公司于2023年1月量产PCIe 5.0/CXL 2.0 Retimer芯片，是全球第二家量产该产品的厂家。

作为全球领先的PCIe 5.0/CXL 2.0Retimer芯片供应商之一，公司自研的PCIe SerDes IP已成功应用于该产品中，自研IP带来了良好的整合性，在产品的时延、信道适应能力方面，公司具有一定的优势。

（3）MXC芯片

澜起在2022年5月全球首发MXC芯片后，已与全球多家顶级云计算厂商及内存龙头企业开展合作。2023年5月，三星电子推出其首款支持CXL 2.0的128GB DRAM，加速下一代存储器解决方案的商用化进程，澜起的MXC芯片作为该解决方案的核心控制芯片器而被采用。2023年8月，澜起的MXC芯片顺利通过了CXL联盟的数十项严苛测试，成为全球首家通过测试的内存扩展控制器产品，与国际知名CPU和存储器厂商的产品在CXL官网并列展示，彰显了业界对澜起技术实力的认可。

目前，公司与主要内存模组、服务器系统厂商的多个合作项目进展顺利，可为数据中心和云服务厂商提供灵活的解决方案，满足客户在数据库，AI训练等内存高带宽场景下的需求。

未来，公司将继续深化与CPU、存储器、服务器及云服务厂商的合作，紧跟技术前沿，不断推进产品更新迭代，致力于为实现CXL生态的成熟完善和CXL技术的广泛应用不断贡献力量，保持公司在该领域的市场领先地位。

（4）津逮服务器平台

[illegible]

3.报告期内新技术、新产业、新业态、新模式的发展情况和未来发展趋势

（1）报告期内与公司及行业相关的新政策

2023年，各地密集出台集成电路产业高质量发展支持政策。北京、上海、广东等重要省市将集成电路纳入当地政府报告。上海市发布《上海市推动制造业高质量发展三年行动计划（2023-2025年）》，其中提出：打造世界级产业集群。加快集成电路关键环节研发攻关，推动下一代技术创新融合发展。

（2）报告期内行业的新技术及未来发展趋势

● 服务器内存接口相关技术（高带宽内存接口技术）

内存接口相关技术主要跟随主流CPU及内存模组相关生态系统的发展而演进。报告期内，内存模组由DDR4世代向DDR5世代迁移。从技术层面上，内存接口技术演进路径主要分为两类：一是沿着现有内存模组技术标准持续更新迭代，支持速率不断提升，DDR5第一子代内存接口芯片支持速率为4800MT/s，每升级一个子代，支持速率将持续提升，行业正在定义中的DDR5第五子代内存接口芯片将支持的速率为8000MT/s，未来DDR5还将规划1~2个子代；二是基于新的应用需求和CPU的技术演进产生新技术路线——高带宽内存接口技术。

基于AI和HPC等应用场景对带宽的需求，同时服务器CPU内核数量快速增加，迫切需要大幅提高内存系统的带宽，以满足多核CPU中各个内核的数据吞吐要求，JEDEC组织制定服务器高带宽内存模组MRDIMM相关技术标准，MRDIMM可以同时访问两个阵列，提供双倍带宽，第一代产品最高支持8800MT/s速率，预计在DDR5世代还会有两至三代更高速率的产品。MRDIMM采用了LRDIMM"1+10"的基础架构，需要搭配的1颗MRCD芯片和10颗MDB芯片，这些专用的新型内存接口芯片与CPU的数据连接仍为单组内存信号，但是通过采用双倍数据传输速率和时分数据复用技术，可以将两个标准速率的内存数据通道合并后倍频传输，其与DRAM的数据连接则扩展为两组独立内存信号，可以在标准速率下对MRDIMM上面两个内存阵列同时操作。通过这种新型数据传输架构，MRDIMM可以在使用标准速率DRAM的情况下，实现双倍速率读写。因此，MRCD芯片和MDB芯片与普通的RCD芯片、DB芯片相比，设计更为复杂、支持速率更高。随着MRDIMM相关技术的逐步成熟，其将为下游应用带来更高带宽的内存解决方案。

● 台式机及笔记本电脑内存模组相关技术

在DDR4世代及DDR5初期，内存接口芯片只应用于服务器内存模组，主要是为了缓冲来自内存控制器的地址、命令及控制信号，提升内存数据访问的速度及稳定性，满足服务器CPU对内存模组日益增长的高性能及大容量需求，由于台式机和笔记本电脑CPU及内存模组之间数据传输量并不大，所以目前还不需要对信号进行缓冲，但随着DDR5传输速率持续提升，时钟信号频率越来越高，导致时钟信号会遇到信号完整性的瓶颈，当DDR5数据速率达到 6400MT/s 及以上时，原本不需要信号缓冲的 UDIMM、SODIMM（主要用于台式机和笔记本电脑），将需要一颗时钟驱动器（CKD）对内存模组的时钟信号进行缓冲再驱动，从而提高时钟信号的信号完整性和可靠性，目前JEDEC正在制定CKD芯片的标准。同时，JEDEC也在制定需要配备CKD芯片的CUDIMM、CSODIMM标准。

除此以外，JEDEC也在制定尺寸更加紧凑的CAMM （Compression Attached Memory Module）和LPCAMM（Low Power Compression Attached Memory Module）内存模组，用于笔记本电脑。其中CAMM内存模组，采用DDR5 DRAM颗粒，需配合使用CKD、SPD和PMIC芯片；LPCAMM内存模组采用LPDDR5 DRAM颗粒，需配合使用SPD和PMIC芯片。

● PCIe高速互连技术

2023年6月，PCI-SIG发布PCIe 7.0规范的0.3版本，即标准的首个预览版本。这标志着PCIe 7.0规范的新成就，表明PCI-SIG组织成员已经就即将推出的技术的关键特征和架构达成了一致，为2025年的正式发布奠定了良好基础。PCIe 7.0标准旨在满足800G以太网，超大数据中心，人工智能及其他新兴高端

（下转B082版）